

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1999-0062433
G09G 3/36 (43) 공개일자 1999년 07월 26일

(21) 출원번호 10-1998-0023609
(22) 출원일자 1998년 06월 23일
(30) 우선권주장 101997074347 1997년 12월 26일 대한민국(KR)
(71) 출원인 삼성전자 주식회사
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 박동원
경기도 성남시 분당구 금곡동 133 청솔주공아파트 905동 1104호
문희식
경기도 수원시 팔달구 우만동 105번지 선경아파트 103동 1701호
(74) 대리인 김원호, 김원근

심사청구 : 있음

(54) 액정표시장치의 듀얼뱅크 구조에서 도트반전 구동장치 및 방법

요약

이 발명은 액정표시장치의 듀얼뱅크 구조에서 도트반전 구동장치에 관한 것으로, 싱글뱅크 전용의 하이볼테지 구동 드라이버 집적회로를 더블뱅크에 적용하여 도트반전구동을 하는 티에프티 액정표시장치에 있어서,

상측 및 하측의 드라이버 집적회로에서 각각 2개의 배선을 묶음으로 하여 구동하는 것을 특징으로 하여 구성되고, 싱글뱅크 전용의 하이볼테지 구동 드라이버 집적회로를 더블뱅크에 적용하여 도트반전 구동방식을 구현하는 액정표시장치의 듀얼뱅크 구조에서 도트반전 구동장치에 관한 것이다.

대표도

도4

명세서

도면의 간단한 설명

도1은 종래의 출력이 (+)(-)로 토글되는 하이볼테지 드라이버 집적회로를 싱글뱅크로 구성하여 도트반전을 구현하는 액정표시장치의 구성도.

도2는 종래의 출력이 (+)(-)로 토글되는 하이볼테지 드라이버 집적회로를 기존의 방식으로 듀얼뱅크로 구성하여 패널을 구동할 경우 도트반전이 되지 못하는 상태를 보인 액정표시장치의 구성도.

도3은 이 발명의 실시예에 따른 액정표시장치의 듀얼뱅크 구조에서 도트반전 구동장치의 구성도.

도4는 이 발명의 실시예에 따른 액정표시장치 구동장치의 전체 블록도.

도5는 도4에서 타이밍 제너레이터의 블록 구성도.

도6는 도5에서 클럭 분주부의 각부 파형도.

도7A 및 도7B는 도5에서 제1분주부의 상세도.

도8은 도7A 및 도7B의 각부 파형도.

도9는 도5에서 제2분주부의 상세도.

도10는 도9의 분주기중 하나의 상세도.

도11은 도9의 각부파형도.

도12는 도5에서 데이터 선택부의 상세도.

도13은 도12의 선택기중 하나의 상세도.

도14는 도12의 출력파형도.

도15는 액정표시장치 패널로 인가되는 데이터의 순서를 나타낸 상태도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 액정표시장치 구동회로에 관한 것으로, 더욱 상세하게 말하자면, 싱글 뱅크(Single Bank) 전용의 하이 볼테지 구동 드라이브 집적회로를 듀얼 뱅크에 적용하여 도트 반전 구동방식을 구현하는 액정표시장치의 듀얼 뱅크 구조에서 도트반전 구동장치 및 방법에 관한 것이다.

일반적으로, 액정표시장치(LCD: liquid crystal display) 모듈은, 다수의 게이트 라인과 소스라인으로 구성되며 각 게이트 라인과 소스라인의 교차점에 스위칭 트랜지스터 및 화소(pixel)를 가지는 액정패널(LCD panel), 상기 액정 패널의 각 게이트 라인에 순차적으로 턴온 전압을 인가하는 게이트 구동부, 상기 액정 패널의 소스 라인에 라인 간격으로 색신호에 대응하는 게조전압을 인가하는 데이터 구동부('소스 구동부'라고도 함), 액정표시장치 모듈 외부의 그래픽 제어기(graphic controller)로부터 수직 및 수평 동기신호와 색신호를 입력하여 상기 게이트 구동부와 데이터 구동부를 구동하기 위한 제어신호와 색신호(RGB signal)를 출력하는 타이밍 제어부, 게이트 턴온 및 턴오프 전압과 공통전극 전압을 생성하여 상기 게이트 구동부에 출력하는 전압 발생부, 상기 데이터 구동부에 제공되는 게조전압을 생성하는 게조전압 발생부로 이루어져 있다.

이러한 액정표시장치 모듈에서 데이터 구동부는 다수의 소스 구동 집적회로(Source driver IC)로 구성되며, 게이트 구동부도 다수의 게이트 구동 집적회로(Gate driver IC)로 구성된다. 상기 각 소스 구동 집적회로는 입력되는 색신호를 각 소스라인에 대하여 1비트씩 저장하기 위하여 다수의 쉬프트 레지스터를 구비하고 있다. 예를 들어, 하나의 소스 구동 집적회로가 입력 패널에 있는 50개의 소스 라인을 커버한다면, 각 소스 구동 집적회로는 서로 직렬 연결된 50개의 쉬프트 레지스터를 포함한다.

공자된 바에 따르면, 이러한 소스 구동 집적회로를 배치하는 방법은 듀얼 뱅크(dual bank)와 싱글 뱅크(single bank)의 두 가지가 있다. 듀얼 뱅크는 소스 구동 집적회로들을 액정 패널의 상하에 서로 교차되게 위치시킨 상태에서 홀수(또는 짝수) 소스 라인은 상부의 소스 구동 집적회로에 연결되고 짝수(또는 홀수) 소스 라인은 하부의 소스 구동 집적회로에 연결되도록 소스 구동 집적회로들을 배치하는 것이고, 싱글 뱅크는 액정 패널의 상하 중 어느 한쪽에 소스 구동 집적회로들을 일렬로 배치하는 것이다.

티에프티 액정표시장치는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전계를 인가하고, 이 전계의 세기를 조절하여 기판에 투과되는 빛의 양을 조절하여 원하는 화상신호를 얻는 표시장치이다.

이때, 액정물질에 같은 방향의 전계가 계속해서 인가되면 액정이 열화되기 때문에 액정표시장치는 액정의 열화를 방지하기 위해 화상신호를 양, 음 반복되도록 구동하는데, 이를 반전 구동 방식이라 한다.

이러한 반전 구동방식에는 프레임 단위로 화상신호를 반전시키는 프레임 반전, 라인 단위로 반전시키는 라인 반전, 화소 단위로 반전시키는 도트 반전 등이 있다.

그러나, 기존의 프레임 반전, 라인반전에서는 최적의 표시품질을 확보하기가 매우 어려웠으며, 특히, 크로스토크, 플리커 특성에 있어 이러한 양상은 두드러졌다. 따라서, 근래에는 소스 혹은 칼럼(Column) 드라이버 집적회로의 출력에 의해 직류형태로 공급되는 공통전극 전압대비 수평 및 수직방향의 픽셀단위로 (+)극성과 (-)극성이 반복되어지는 도트반전 구동방식이 많이 이용되고 있다.

그런데 현재 사용되고 있는 드라이버 집적회로는 대부분이 싱글뱅크 반전용으로 설계되어 있어서 기존의 듀얼뱅크 방식으로 패널을 구동하게 되면, 도트 반전의 장점을 살릴 수 없게 된다.

이하, 첨부된 도면을 참조로 하여 종래의 기술에 관하여 설명하기로 한다.

도1은 종래의 출력이 (+)(-)로 토글되는 드라이버 집적회로를 싱글 뱅크로 구성하여 도트 반전을 구현하는 액정표시장치의 구성도이고,

도2는 종래의 출력이 (+)(-)로 토글되는 드라이버 집적회로를 기존의 방식으로 듀얼 뱅크로 구성하여 패널을 구동할 경우 도트 반전이 되지 못하는 상태를 보인 액정표시장치의 구성도이다.

최근의 도트 반전용 하이 볼테지 소스 드라이버 집적회로는 대부분이 도1의 데이터 표시부분(3, 4)에서와 같이, 출력이 (+)(-)를 반복하도록 되어 있다. 이는 소스 드라이버 집적회로(9)를 상측 또는 하측으로 구성하는 싱글뱅크 구조를 위한 방식이다.

이러한 응용방식을 갖는 드라이버 집적회로를 듀얼 뱅크로 구성하면서 기존의 듀얼 뱅크 방식의 패널을 도2의 부분(7)처럼 하나의 라인 단위로 상측 및 하측에서 각각 구동하게 되면, 패널의 픽셀 영역 내부(6)에서는 (+)(+)과 (-)(-)가 주기적으로 반복하게 되어 도트 반전의 의미가 없어지게 된다.

이렇듯이, (+)(+)와 (-)(-)가 주기적으로 반복하게 되면, (+)와 (-)극성의 경계를 갖는 픽셀은 도트 반전형태로 동작을 하지만 동일극성으로 경계 지워지는 픽셀은 로우 볼테지처럼 동작하여 소스배선 라인과 픽셀전극간의 커플링(Coupling) 작용에 의해 발생하는 플리커 현상에 대해 전혀 효과를 발휘하지 못하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

그러므로 본 발명의 목적은 종래의 단점을 해결하고자 하는 것으로, 싱글 뱅크 전용의 하이 볼테지 구동 드라이브 집적회로를 듀얼 뱅크에 적용하여 도트 반전이 되도록 하는 액정표시장치의 듀얼 뱅크 구조에서 도트반전 구동장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 이 발명은,

싱글 뱅크용의 도트반전구동 집적회로를 듀얼 뱅크에 적용하여 구동하는 액정표시장치에 있어서, 데이터를 입력받아, 상기 액정표시장치 패널의 제1측 및 제2측에서 각각 데이터를 출력하는 제1측 및 제2측 드라이버를 갖는 데이터 드라이버와;

상기 제1측 및 제2측 드라이버에 순차적으로 각각 2개의 배선을 묶음으로 하여 데이터 라인이 형성되어 있는 액정표시장치 패널과;

외부의 R, G, B 데이터를 입력받아, 상기 제1측 드라이버의 3n-2번째 연결된 데이터 라인에는 B4n-3과 G4n-1 데이터가 번갈아 출력되고,

상기 제1측 드라이버의 3n-1번째 연결된 데이터 라인에는 R4n-2과 G4n 데이터가 번갈아 출력되고,

상기 제1측 드라이버의 3n번째 연결된 데이터 라인에는 R4n-1과 B4n 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n-2번째 연결된 데이터 라인에는 R4n-3과 B4n-2 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n-1번째 연결된 데이터 라인에는 G4n-3과 B4n-1 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n번째 연결된 데이터 라인에는 G4n-2과 R4n 데이터가 번갈아 출력되도록 상기 제1측 및 제2측 드라이버에 데이터를 출력하는 타이밍 제너레이터를 포함한다.

상기한 타이밍 제너레이터는,

RGB데이터를 입력받아 제1클럭신호에 따라 RGB데이터를 2분주하기 위한 제1분주부와;

리셋신호, 데이터 인에이블 신호 및 상기 제1클럭신호를 입력받아 상기 제1클럭신호를 2분주하여 제2클럭신호로 출력하는 클럭분주부와;

상기 제2클럭신호에 따라 상기 제1분주부에서 분주된 데이터를 2분주하기 위한 제2분주부와;

상기 제2클럭신호에 따라 상기 제2분주부에서 분주된 데이터를 제1측 및 제2측으로 각각 2개의 데이터를 묶음으로 하여 서로 이웃하는 데이터끼리 반전이 되도록 출력하는 데이터 선택부를 포함한다.

상기 구성에 의하여 이 발명을 실시할 수 있는 실시예를 첨부된 도면을 참조로 하여 설명하면 다음과 같다.

도4는 이 발명의 실시예에 따른 액정표시장치의 듀얼 뱅크 구조에서 도트반전 구동장치의 구성도이다.

도4에 도시되어 있듯이, 이 발명의 실시예에 따른 도트반전 구동장치는,

상부 및 하부 드라이버(9, 11)에 각각 2개의 데이터선 단위로 교대로 연결되어 있다. 즉, 도3의 도면부호 2에 도시되어 있듯이, 2개의 데이터선(D1, D2)은 하부 드라이버(11)에 연결되어 있고, 이와 인접하는 2개의 데이터선(D3, D4)은 상부 드라이버(9)에 연결되어 있다.

다음에는 상기와 같은 듀얼뱅크 구조에서 도트 반전을 시키는 구동장치에 대하여 설명한다.

도5는 이 발명의 실시예에 따른 액정표시장치의 듀얼 뱅크 구조에서 도트반전을 시키기 위한 구동장치의 내부 블록도이다.

도5에 도시되어 있듯이, 타이밍 제너레이터(400)의 내부 블록은,

RGB데이터를 입력받아 제1클럭신호(CLK2B)에 따라 RGB데이터를 2분주하기 위한 제1분주부(20)와;

리셋신호(RST), 데이터 인에이블 신호(DE) 및 상기 제1클럭신호(CLK2B)를 입력받아 상기 제1클럭신호(CLK2B)를 2분주하여 제2클럭신호(CLK4)로 출력하는 클럭분주부(50)와;

상기 제2클럭신호(CLK4)에 따라 상기 제1분주부(20)에서 분주된 데이터를 2분주하기 위한 제2분주부(30)와;

상기 제2클럭신호(CLK4)에 따라 상기 제2분주부(30)에서 분주된 데이터를 상측 및 하측으로 각각 2개의 데이터를 묶음으로 하여 서로 이웃하는 데이터끼리 반전이 되도록 출력하는 데이터 선택부(40)를 포함한다.

상기 구조를 가진 이 발명의 실시예에 따른 액정표시장치의 듀얼 뱅크 구조에서 도트반전 구동장치의 작용은 다음과 같다.

먼저, 제1클럭신호(CLK2B) 및 R(0:5), G(0:5), B(0:5) 각각 6비트의 데이터가 제1분주부(20)로 입력된다. 그러면, 제1분주부(20)는 제1클럭신호(CLK2)에 따라 R, G, B 데이터(R(5:0), G(5:0), B(5:0))를 각각 분주하여 출력한다. 여기서 제1클럭신호(CLK2B)는 메인클럭신호의 2분주 신호(CLK2)의 반전신호이다.

도7A 및 도7B는 도4의 제1분주부(20)를 상세히 나타낸 도면이다

도7A 또는 도7B에 도시되어 있듯이, 제1분주부(20)는,

상기 R, G, B데이터 각각에서 홀수에 해당하는 데이터(RA(5:0), GA(5:0), BA(5:0))를 상기 제1클럭신호(CLK2B)의 플링 에지에서 출력하는 다수의 플립플롭(21)과;

상기 다수의 플립플롭(21)의 각각의 출력을 상기 제1클럭신호(CLK2B)의 라이징 에지에서 출력하는 다수

의 플립플롭(22)과;

상기 R, G, B데이터 각각에서 짝수에 해당하는 데이터(RB(5:0), GB(5:0), BB(5:0))를 상기 제1클럭신호(CLK2B)의 라이징 에지에서 출력하는 다수의 플립플롭(23)을 포함한다.

도7A 및 도7B에서, R(5:0)데이터중 홀수번째 데이터(RA(5:0))들은 플립플롭(21)에서 제1클럭신호(CLK2B)의 폴링 에지에서 플립플롭(22)으로 전달되고, 플립플롭(22)으로 전달된 데이터는 제1클럭신호(CLK2B)의 라이징 에지에서 출력된다. 이때의 파형을 도8에 도시하였다. 또한, R(5:0)데이터중 짝수번째 데이터(RB(5:0))들은 플립플롭(23)에서 제1클럭신호(CLK2B)의 라이징 에지에서 출력되며, 이때의 파형을 도7에 도시하였다.

또한, G(5:0) 및 B(5:0)데이터도 같은 원리에 의해 분주된다.

상기한 플립플롭(21)은 클럭신호의 폴링 에지에서 데이터를 출력하고, 플립플롭(22, 23)은 클럭신호의 라이징 에지에서 데이터를 출력하는 것을 특징으로 한다.

상기한 제1분주부(20)는 일레이머, 얼마든지 회로의 변경이 가능하다.

한편, 도4에 도시한 바와 같이, 인버터(IV1)에서 반전된 제1클럭신호(CLK2B)가 클럭분주부(50)로 입력되어 2분주되어 출력되는데 이신호가 제2클럭신호(CLK4)이다.

이와 같은 클럭 분주부(50)에 관해 상세히 설명하기로 한다.

클럭 분주부(50)는,

데이터 인에이블 신호(OE)를 입력신호로 하고 제1클럭신호(CLK2B)를 한클럭 만큼 지연하여 출력하는 플립플롭(51)과;

상기 플립플롭(51)의 신호를 제1클럭신호(CLK2B)의 한클럭만큼 지연한 신호의 반전신호를 출력하는 플립플롭(52)과;

상기 데이터 인에이블 신호(OE)와 상기 제2플립플롭(52)의 출력신호를 낸드 연산하는 낸드 게이트(ND1)와;

상기 낸드 게이트(ND1)의 출력신호와 리셋신호(RST)를 낸드 연산하여 출력하는 앤드게이트(AD1)와;

상기 앤드 게이트(AD1)의 출력을 리셋으로 입력받고, 반전된 출력신호를 입력신호(D)로 받으며, 상기 제1클럭신호(CLK2B)를 클럭신호로 입력받아, 상기 제1클럭신호(CLK2B)를 2분주하여 출력하는 플립플롭(53)을 포함한다.

상기한 플립플롭(53)은 클럭신호의 폴링 에지에서 데이터를 출력하며, 리셋단자가 있는 것을 특징으로 하며, 도5의 리셋신호(RST)는 일반적인 리셋신호로서 한 라인이 바뀔때만 로우상태우이고, 나머지 구간에서는 하이상태이다.

상기 클럭입력부(50)는 작용은 다음과 같다. 도5에 도시된 바와 같은 데이터 인에이블 신호(OE)가 플립플롭(51)의 데이터로 입력되고, 제1클럭신호(CLK2B)가 클럭으로 입력된다.

그러면, 플립플롭(51)에서 데이터 인에이블 신호가 한클럭 지연되고, 다시 플립플롭(52)에서 한클럭 지연되는데 반전출력이므로 P1은 도6에 도시된 바와 같은 파형을 가진다. 그러면 이 파형은 데이터 인에이블 신호와 낸드 게이트(ND1)에서 낸드 연산되어 출력되며, 이때의 출력점(P2)의 파형은 도6에 도시된 바와 같다.

다음, 낸드 게이트(ND1)의 출력신호는 플립플롭(53)의 리셋단자로 입력되고, 플립플롭은 제1클럭신호(CLK2B)의 폴링 에지에서 데이터를 출력하고 리셋이 된다. 이때의 출력 신호인 제2클럭신호(CLK4)의 파형은 도6에 도시되었다.

다음, 제2클럭신호(CLK4)는 제2분주부(30)로 입력되고, 제2분주부(30)는 제1분주부의 출력(RA(5:0), RB(5:0), GA(5:0), GB(5:0), BA(5:0), BB(5:0))을 2분주한다. 이를 상세히 도9 및 도10을 참조하여 설명하면 다음과 같다.

도9 및 도10에 도시되어 있듯이, 제2분주부(30)는,

6개의 분주기(31~36)로 이루어지며, 각각의 분주기(31~36)는 도10에 도시되어 있듯이,

도8에 도시된 상기 제1분주부(20)의 R, G, B데이터의 분주된 출력 각각(RA(5:0), RB(5:0), GA(5:0), GB(5:0), BA(5:0), BB(5:0))에서 짝수에 해당하는 데이터(R1(5:0), R2(5:0), G1(5:0), G2(5:0), B1(5:0), B2(5:0))를 상기 제2클럭신호(CLK4)의 라이징 에지에서 출력하는 플립플롭(91)과;

상기 플립플롭(91)의 출력(R1(5:0), R2(5:0), G1(5:0), G2(5:0), B1(5:0), B2(5:0))을 상기 제2클럭신호(CLK4)의 폴링 에지에서 출력하는 플립플롭(92)과;

도8에 도시된 상기 제1분주부(20)의 R, G, B데이터의 분주된 출력(RA(5:0), RB(5:0), GA(5:0), GB(5:0), BA(5:0), BB(5:0)) 각각에서 짝수번째에 해당하는 데이터(R3(5:0), R4(5:0), G3(5:0), G4(5:0), B3(5:0), B4(5:0))를 상기 제2클럭신호(CLK4)의 폴링 에지에서 출력하는 플립플롭(93)을 포함한다.

상기한 제1분주부(20)에서 분주된 데이터(RA(5:0), RB(5:0), GA(5:0), GB(5:0), BA(5:0), BB(5:0))는 제2분주부(30)의 각각의 분주기(31~36)에서 2분주되는데, RA(5:0)을 예를 들어 설명하면 다음과 같다.

도10에 도시된 바와 같이, 입력 데이터(RA(5:0))는 제2클럭신호(CLK4)의 라이징 에지에서 플립플롭(91)에서 플립플롭(92)으로 출력되고, 폴링 에지에서 플립플롭(92)으로부터 출력된다. 이때의

출력신호(R1(5:0))의 파형을 도11에 나타내었다.

한편, 입력 데이터(RA(5:0))는 제2클럭신호(CLK4)의 플링 에지에서 플립플롭(93)으로부터 출력된다. 이때의 출력신호(R3(5:0))의 파형을 도11에 나타내었다.

다른 입력 데이터들(RB(5:0), GA(5:0), GB(5:0), BA(5:0), BB(5:0))도 상기 과정과 같이 2분주된다.

다음, 상기 제2분주부(30)에서 도10에 도시된 바와 같은 파형으로 분주된 데이터(RA(5:0), RB(5:0), GA(5:0), GB(5:0), BA(5:0), BB(5:0))는 데이터 선택부(40)의 각각의 선택기(41~46)로 입력되며, 이를 도12를 참조로 하여 상세히 설명하면 다음과 같다.

도12에 도시되어 있듯이, 데이터 선택부(40)는,

상기 제2분주부(30)로부터 B의 홀수번째 데이터의 홀수번째 데이터 즉, B의 첫 번째, 5번째, 9번째...의 순서에 해당하는 데이터(B1(5:0), B4n-3: B1, B5, B9...)와 G의 홀수번째 데이터의 짝수 번째 데이터 즉, G의 3번째, 7번째, 11번째...의 순서에 해당하는 데이터(G3(5:0), G4n-1: G3, G7, G11...)를 입력받아 상기 제2클럭신호(CLK4)의 상태에 따라 상기 두 입력 데이터를 번갈아 출력하는 선택기(41)와;

상기 제2분주부(30)로부터 R의 짝수번째 데이터의 홀수번째 데이터 즉, R의 2번째, 6번째, 10번째...의 순서에 해당하는 데이터(R2(5:0), R4n-2: R2, R6, R10...)와 G의 짝수번째 데이터의 짝수번째 데이터 즉, G의 4번째, 8번째, 12번째...의 순서에 해당하는 데이터(G4(5:0), G4n: G4, G8, G12...)를 입력받아 상기 제2클럭신호(CLK4)의 상태에 따라 상기 두 입력 데이터를 번갈아 출력하는 선택기(42)와;

상기 제2분주부(30)로부터 R의 홀수번째 데이터의 짝수번째 데이터 즉, R의 3번째, 7번째, 11번째...의 순서에 해당하는 데이터(R3(5:0), R4n-1: R3, R7, R11...)와 B의 짝수번째 데이터의 짝수번째 데이터 즉, B의 4번째, 8번째, 12번째...의 순서에 해당하는 데이터(B4(5:0), B4n: B4, B8, B12...)를 입력받아 상기 제2클럭신호(CLK4)의 상태에 따라 상기 두 입력 데이터를 번갈아 출력하는 선택기(43)와;

상기 제2분주부(30)로부터 R의 홀수번째 데이터의 홀수번째 데이터 즉, R의 1번째, 5번째, 9번째...의 순서에 해당하는 데이터(R1(5:0), R4n-3: R1, R5, R9...)와 B의 짝수번째 데이터의 홀수번째 데이터 즉, B의 2번째, 6번째, 10번째...의 순서에 해당하는 데이터(B2(5:0), B4n-2: B2, B6, B10...)를 입력받아 상기 제2클럭신호(CLK4)의 상태에 따라 상기 두 입력 데이터를 번갈아 출력하는 선택기(44)와;

상기 제2분주부(30)로부터 G의 홀수번째 데이터의 홀수번째 데이터 즉, G의 1번째, 5번째, 9번째...의 순서에 해당하는 데이터(G1(5:0), G4n-3: G1, G5, G9...)와 B의 홀수번째 데이터의 짝수번째 데이터 즉, B의 3번째, 7번째, 11번째...의 순서에 해당하는 데이터(B3(5:0), B4n-1: B3, B7, B11...)를 입력받아 상기 제2클럭신호(CLK4)의 상태에 따라 상기 두 입력 데이터를 번갈아 출력하는 선택기(45)와;

상기 제2분주부(30)로부터 G의 짝수번째 데이터의 홀수번째 데이터 즉, G의 2번째, 6번째, 10번째...의 순서에 해당하는 데이터(G2(5:0), G4n-2: G2, G6, G10...)와 R의 짝수번째 데이터의 짝수번째 데이터 즉, R의 4번째, 8번째, 12번째...의 순서에 해당하는 데이터(R4(5:0), R4n: R4, R8, R12...)를 입력받아 상기 제2클럭신호(CLK4)의 상태에 따라 상기 두 입력 데이터를 번갈아 출력하는 선택기(46)를 포함한다.

여기서, 데이터 입력 경로를 간단히 설명하면, 도12에 도시된 바와 같이, B1(5:0), G3(5:0)이 선택기(41)로 입력되고, R2(5:0), G4(5:0)이 선택기(42)로 입력되고, R3(5:0), B4(5:0)이 선택기(43)로 입력되고, R1(5:0), B2(5:0)이 선택기(44)로 입력되고, G1(5:0), B3(5:0)이 선택기(45)로 입력되고, G2(5:0), R4(5:0)이 선택기(46)로 입력된다. 도13을 참조로 하여 선택기(41)의 동작을 상세히 설명하기로 한다.

도13에 도시되었듯이, 각각의 선택기(41~46)는 6비트 데이터 처리를 위해 6개의 멀티플렉서(121~126)로 구성되며, 선택기(41)를 예로 설명하기로 한다.

먼저, 멀티플렉서(121~126)로 두 개의 데이터 B1(5:0), G3(5:0)가 입력되고, 동시에 제2클럭신호도 입력된다.

그러면, 선택기(41)의 두 개의 데이터 B1(5:0), G3(5:0)는 제2클럭신호(CLK4)의 상태에 따라 선택출력되는데, 도14에 도시된 바와 같이, 제2클럭신호(CLK4)가 로우이면, B1(5:0)이 출력되고, 하이이면, G3(5:0)이 출력된다. 이때의 출력신호(UR(5:0))는 데이터 드라이버(9)에서 상부드라이버로 입력이 된다.

다른 데이터(R2(5:0), G4(5:0), R3(5:0), B4(5:0), R1(5:0), B2(5:0), G1(5:0), B3(5:0), G2(5:0), R4(5:0))도 선택기(42~46)에 의해 각각 선택적으로 출력된다. 이때의 출력신호(UR(5:0), UG(5:0), UB(5:0), DR(5:0), DG(5:0), DB(5:0))의 파형의 도14에 도시되어 있다.

여기서, 출력신호(UR(5:0), UG(5:0))는 상부드라이버(9)로 출력이 되고, 다른 출력신호(DR(5:0), DG(5:0), DB(5:0))는 하부드라이버(11)로 출력된다.

그러면, 도15에 도시된 바와 같이, 하부드라이버(11), 상부드라이버(9)가 순서대로 2개씩 턴옴으로 반전이 되며 데이터를 출력한다.

이때, 액정표시장치 패널에는 도3과 같이 상하좌우 완벽한 데이터 반전이 이루어진다.

발명의 효과

이상에서와 같이, 이 발명의 실시예에서, 싱글 बैं크 전용의 하이 볼티지 구동 드라이버 집적회로를 듀얼 बैं크에 적용하여 도트 반전이 되도록 하여 플리커 현상에 적절히 대처할 수 있는 이점을 가진 액정표시장치의 듀얼 बैं크 구조에서 도트반전 구동장치 및 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1

싱글 뱅크용의 도트반전구동 집적회로를 듀얼 뱅크에 적용하여 구동하는 액정표시장치에 있어서,

데이터를 입력받아, 상기 액정표시장치 패널의 제1측 및 제2측에서 각각 데이터를 출력하는 제1측 및 제2측 드라이버를 갖는 데이터 드라이버와;

상기 제1측 및 제2측 드라이버에 순차적으로 각각 2개의 배선을 묶음으로 하여 데이터 라인이 형성되어 있는 액정표시장치 패널과;

외부의 R, G, B 데이터를 입력받아, 상기 제1측 드라이버의 3n-2번째 연결된 데이터 라인에는 B4n-3과 G4n-1 데이터가 번갈아 출력되고,

상기 제1측 드라이버의 3n-1번째 연결된 데이터 라인에는 R4n-2과 G4n 데이터가 번갈아 출력되고,

상기 제1측 드라이버의 3n번째 연결된 데이터 라인에는 R4n-1과 B4n 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n-2번째 연결된 데이터 라인에는 R4n-3과 B4n-2 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n-1번째 연결된 데이터 라인에는 G4n-3과 B4n-1 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n번째 연결된 데이터 라인에는 G4n-2과 R4n 데이터가 번갈아 출력되도록 상기 제1측 및 제2측 드라이버에 데이터를 출력하는 타이밍 제너레이터를 포함하는 액정표시장치의 구동장치.

청구항 2

제1항에서,

상기한 타이밍 제너레이터는,

RGB데이터를 입력받아 제1클럭신호에 따라 RGB데이터를 2분주하기 위한 제1분주부와;

리셋신호, 데이터 인에이블 신호 및 상기 제1클럭신호를 입력받아 상기 제1클럭신호를 2분주하여 제2클럭신호로 출력하는 클럭분주부와;

상기 제2클럭신호에 따라 상기 제1분주부에서 분주된 데이터를 2분주하기 위한 제2분주부와;

상기 제2클럭신호에 따라 상기 제2분주부에서 분주된 데이터를 상기 제1측 및 제2측드라이버로 출력하는 데이터 선택부를 포함하는 액정표시장치 구동장치.

청구항 3

제2항에서,

상기한 제1분주부는,

상기 R, G, B데이터 각각에서 홀수에 해당하는 데이터를 상기 제1클럭신호의 풀링 에지에서 출력하는 제1풀림플롭부와;

상기 제1풀림플롭부의 출력을 상기 제1클럭신호의 라이징 에지에서 출력하는 제2풀림플롭부와;

상기 R, G, B데이터 각각에서 짝수에 해당하는 데이터를 상기 제1클럭신호의 라이징 에지에서 출력하는 제3풀림플롭부를 포함하는 액정표시장치 구동장치.

청구항 4

제2항에서,

상기한 클럭 분주부는,

데이터 인에이블 신호를 제1클럭신호의 한클럭 만큼 지연하여 출력하는 제1풀림플롭과;

상기 제1풀림플롭의 신호를 제1클럭신호의 한클럭만큼 지연한 신호의 반전신호를 출력하는 제2풀림플롭과;

상기 데이터 인에이블 신호와 상기 제2풀림플롭의 출력신호를 낸드 연산하는 낸드 게이트와;

상기 낸드 게이트의 출력신호와 리셋신호를 앤드 연산하여 출력하는 앤드게이트와;

상기 앤드 게이트의 출력을 리셋으로 입력받고, 상기 제1클럭신호를 2분주하여 출력하는 제3풀림플롭을 포함하는 액정표시장치 구동장치.

청구항 5

제2항에서,

상기한 제2분주부는,

상기 제1분주부의 R, G, B데이터의 분주된 출력 각각에서 홀수에 해당하는 데이터를 상기 제2클럭신호의 라이징 에지에서 출력하는 제1풀림플롭부와;

상기 제1풀림플롭부의 출력을 상기 제2클럭신호의 풀링 에지에서 출력하는 제2풀림플롭부와;

상기 제1분주부의 R, G, B 데이터의 분주된 출력 각각에서 짝수에 해당하는 데이터를 상기 제2클럭신호의 폴링 에지에서 출력하는 제3플립플롭부를 포함하는 액정표시장치 구동장치.

청구항 6

제5항에서,

상기한 데이터 선택부는

상기 제2분주부에서 분주된 데이터를 입력받고, 데이터 드라이버의 상측 및 하측드라이버가 각각 2개의 데이터를 묶음으로 하여 출력할 때, 액정표시장치 패널에 인가되는 데이터가 서로 반전이 되도록 데이터를 출력하는 것을 특징으로 하는 액정표시장치 구동장치.

청구항 7

제6항에서,

상기한 데이터 선택부는,

상기 제2분주부로부터 B4n-3과 G4n-1 데이터를 입력받아, 상기 제1측 드라이버의 3n-2번째 연결된 데이터 라인으로 상기 제2클럭신호에 따라 번갈아 출력하는 제1선택기와;

상기 제2분주부로부터 R4n-2과 G4n 데이터를 입력받아 상기 제1측 드라이버의 3n-1번째 연결된 데이터 라인으로 제2클럭신호에 따라 번갈아 출력하는 제2선택기와;

상기 제2분주부로부터 R4n-1과 B4n 데이터를 입력받아 상기 제1측 드라이버의 3n번째 연결된 데이터 라인으로 제2클럭신호에 따라 번갈아 출력하는 제3선택기와;

상기 제2분주부로부터 R4n-3과 B4n-2 데이터를 입력받아 상기 제2측 드라이버의 3n-2번째 연결된 데이터 라인으로 제2클럭신호에 따라 번갈아 출력하는 제4선택기와;

상기 제2분주부로부터 G4n-3과 B4n-1 데이터를 입력받아 상기 제2측 드라이버의 3n-1번째 연결된 데이터 라인으로 제2클럭신호에 따라 번갈아 출력하는 제5선택기와;

상기 제2분주부로부터 G4n-2과 R4n 데이터를 입력받아, 상기 제2측 드라이버의 3n번째 연결된 데이터 라인으로 제2클럭신호에 따라 번갈아 출력하는 제6선택기를 포함하는 액정표시장치 구동장치.

청구항 8

제7항에서,

상기한 데이터 선택부는 상기 제2분주부에서 분주된 출력을 상기 제2클럭신호에 따라 액정표시장치 화면에서 상하좌우 데이터반전이 되도록 상기 제1측 및 제2측 드라이버로 선택 출력하는 것을 특징으로 하는 액정표시장치 구동장치.

청구항 9

싱글 뱅크용의 드라이브 집적회로를 듀얼 뱅크에 적용하여 도트 반전구동을 하는 액정표시장치 구동방법에 있어서,

제1측 및 제2측의 드라이버 집적회로에서 각각 2개의 배선을 묶음으로 하여 액정표시장치 패널로 인가되는 데이터를 반전 구동하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제9항에서,

외부의 R, G, B 데이터를 입력받아, 상기 제1측 드라이버의 3n-2번째 연결된 데이터 라인에는 B4n-3과 G4n-1 데이터가 번갈아 출력되고,

상기 제1측 드라이버의 3n-1번째 연결된 데이터 라인에는 R4n-2과 G4n 데이터가 번갈아 출력되고,

상기 제1측 드라이버의 3n번째 연결된 데이터 라인에는 R4n-1과 B4n 데이터가 번갈아 출력되고,

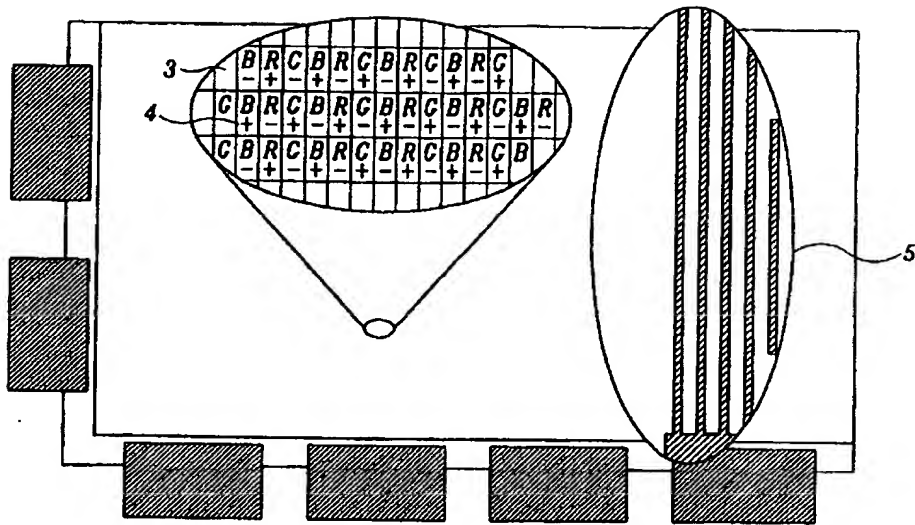
상기 제2측 드라이버의 3n-2번째 연결된 데이터 라인에는 R4n-3과 B4n-2 데이터가 번갈아 출력되고,

상기 제2측 드라이버의 3n-1번째 연결된 데이터 라인에는 G4n-3과 B4n-1 데이터가 번갈아 출력되고,

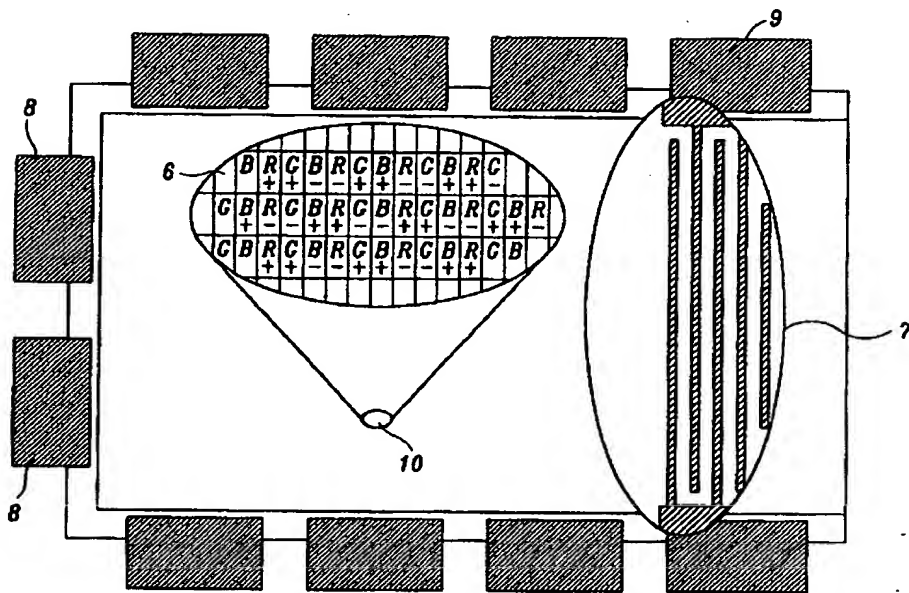
상기 제2측 드라이버의 3n번째 연결된 데이터 라인에는 G4n-2과 R4n 데이터가 번갈아 출력되도록 상기 제1측 및 제2측 드라이버에 데이터를 출력하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

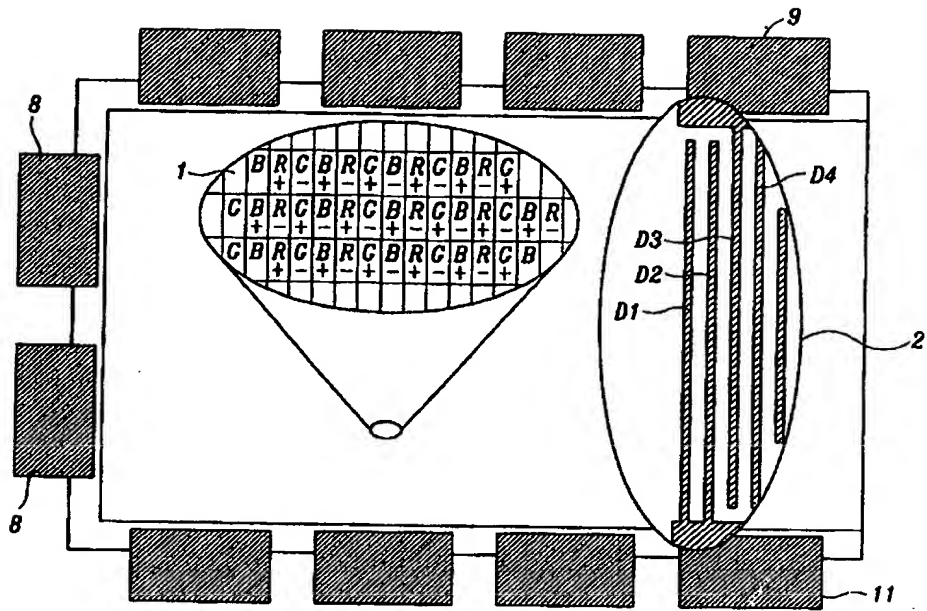
도면1



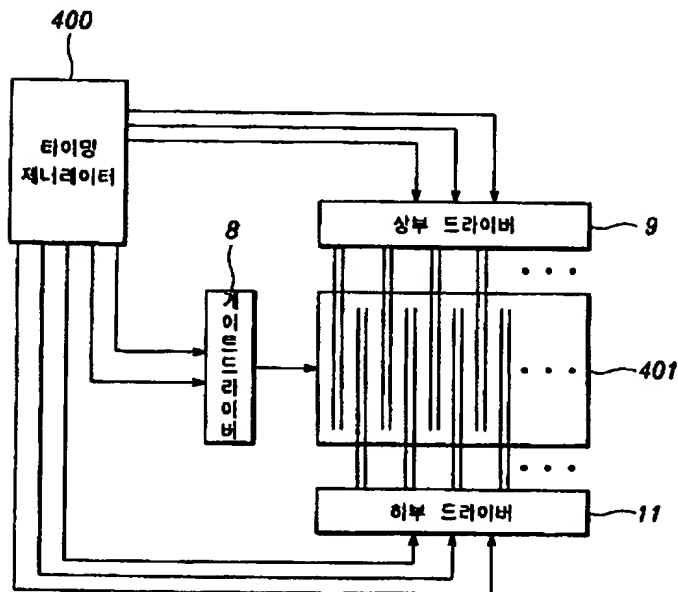
도면2



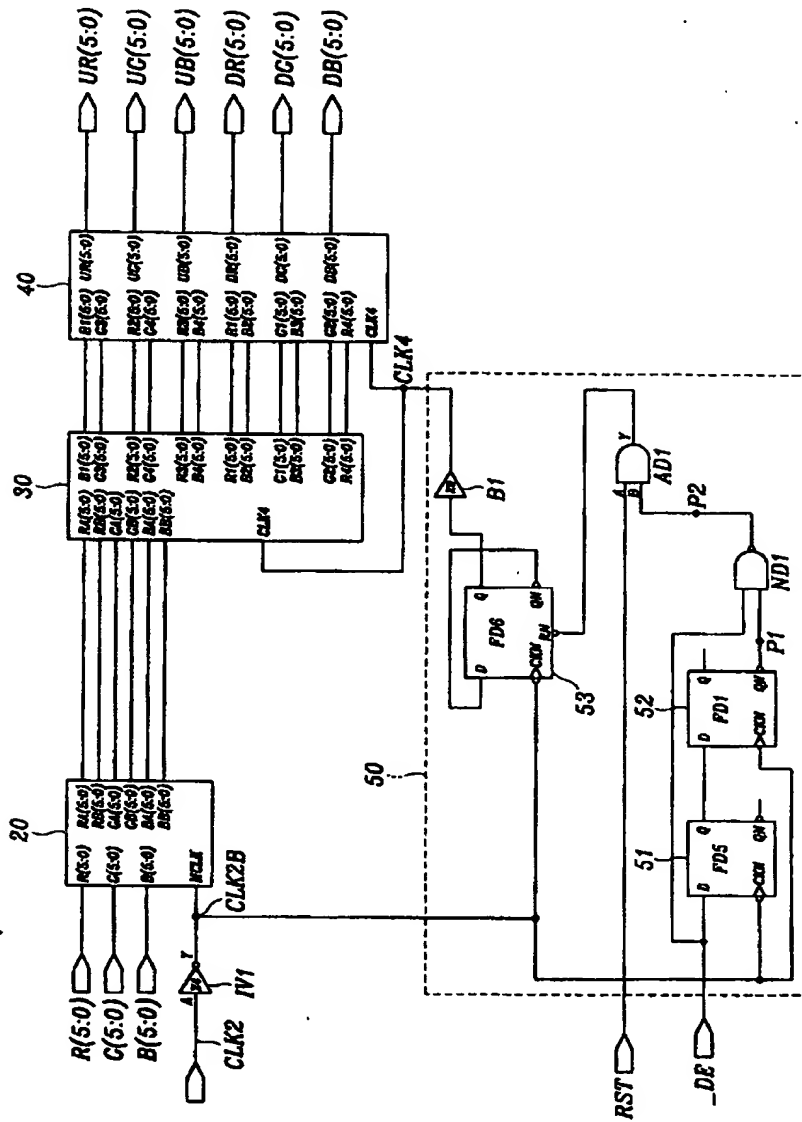
도면3



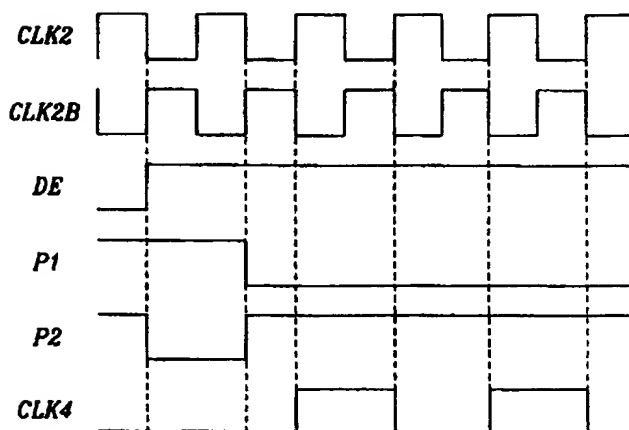
도면4



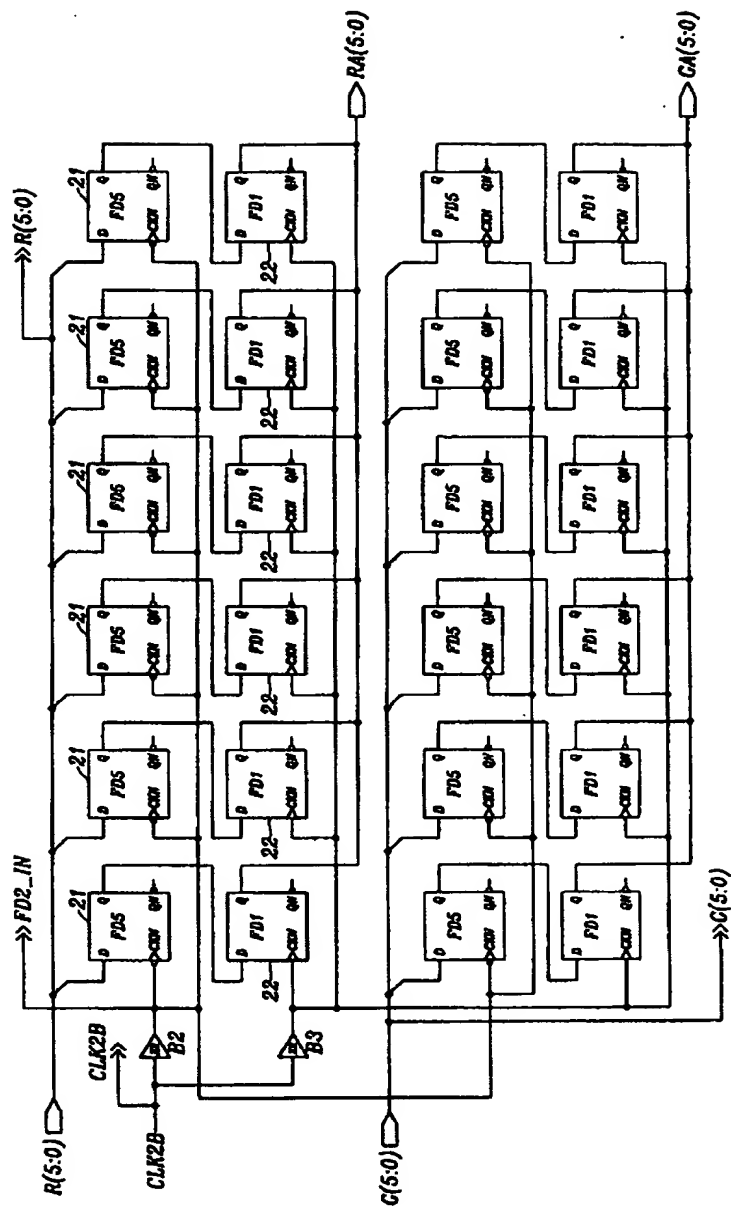
도면5



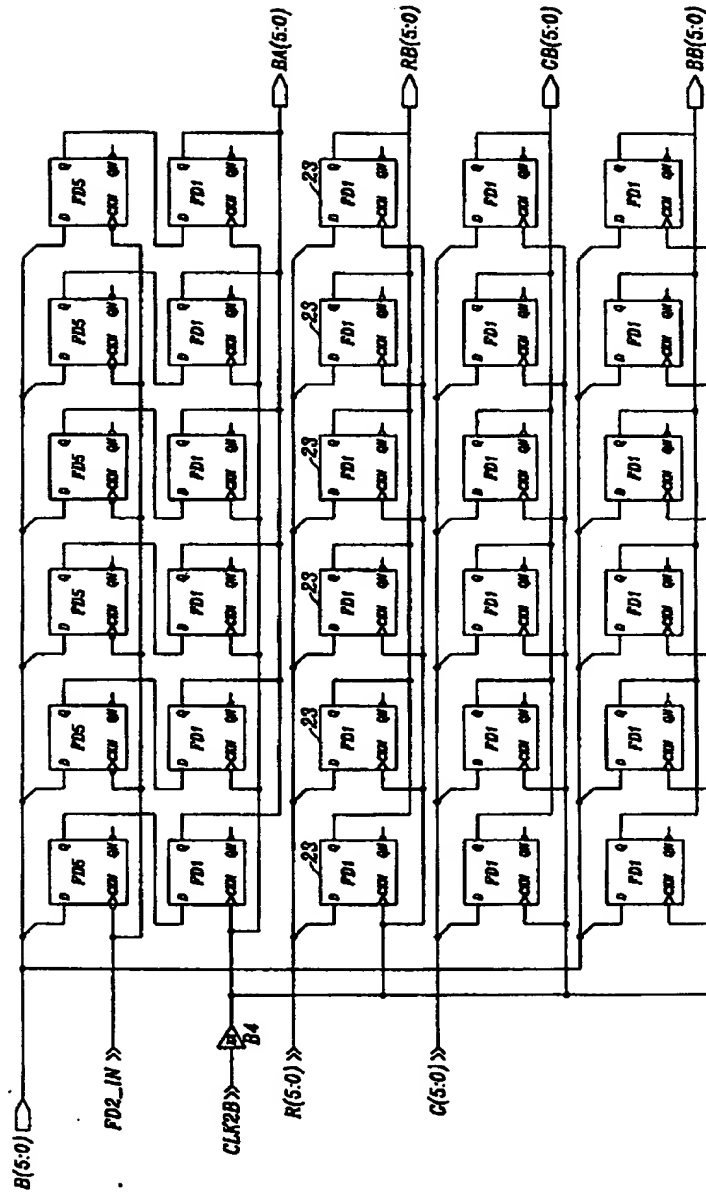
도면6



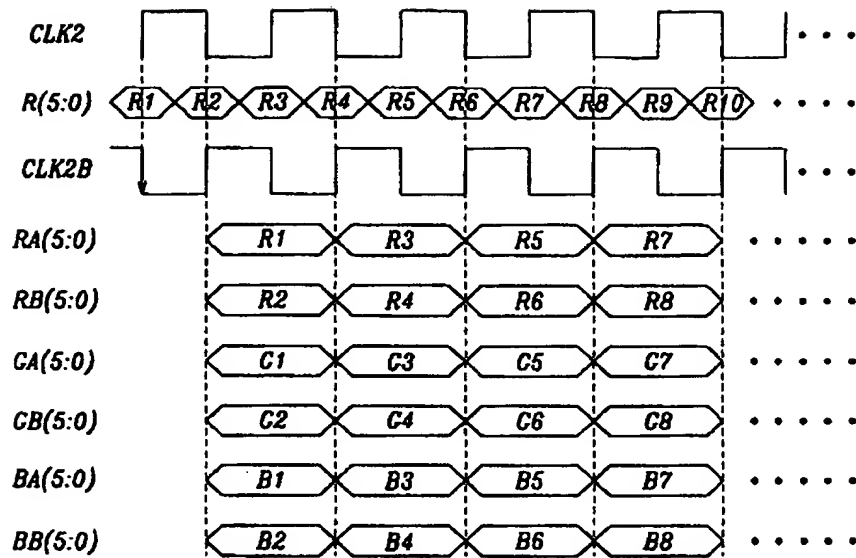
도면 7a



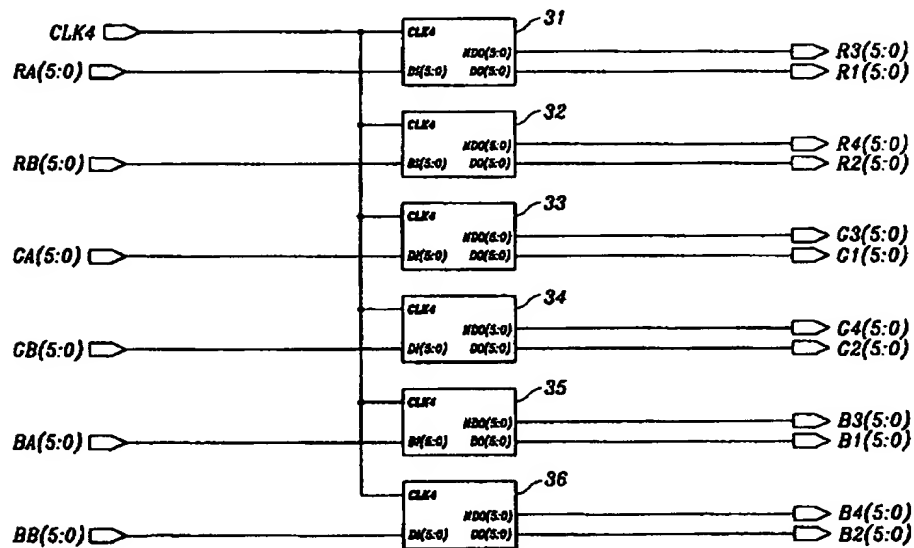
도면 7b



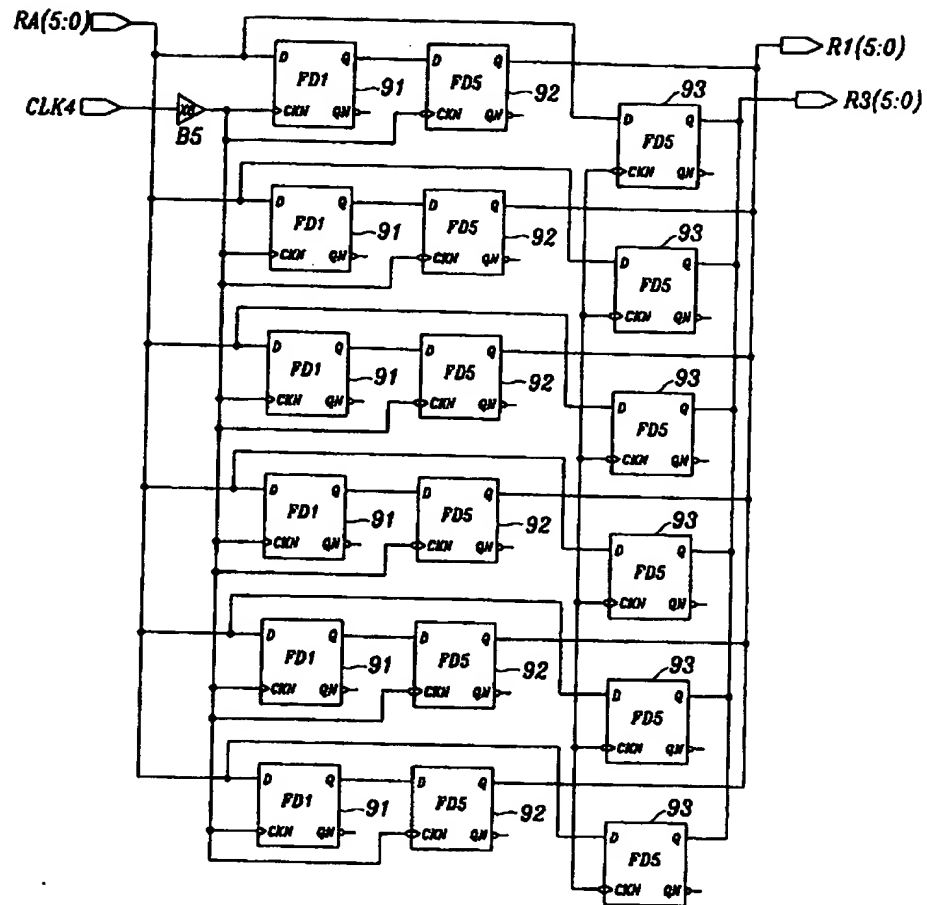
도면8



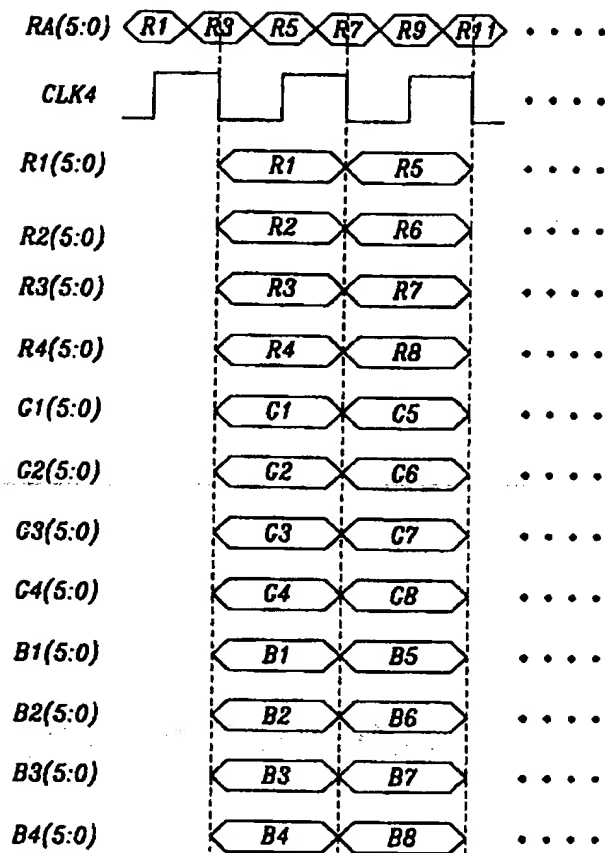
도면9



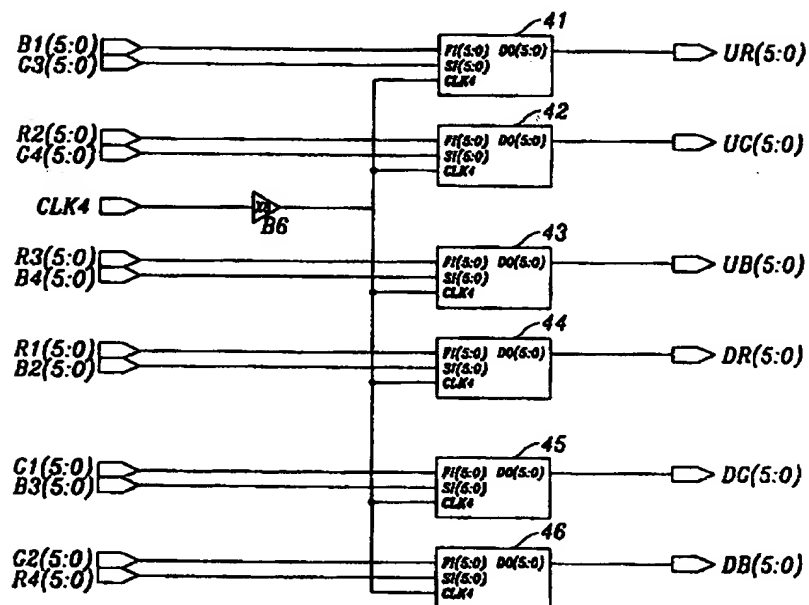
도면 10



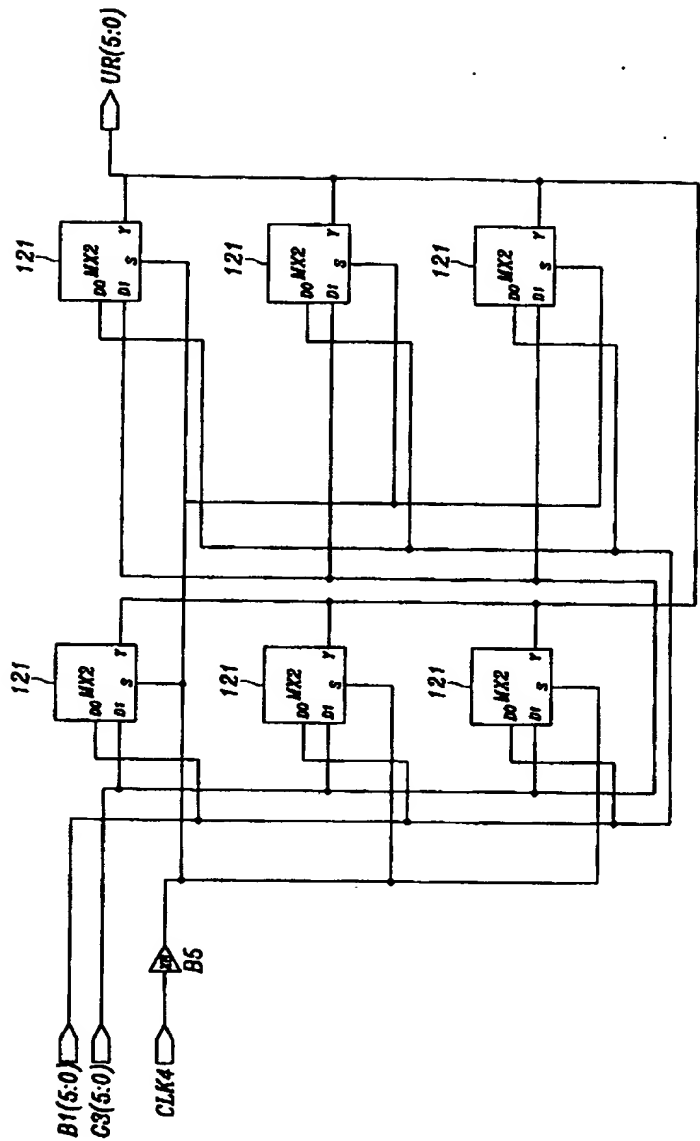
도면 11



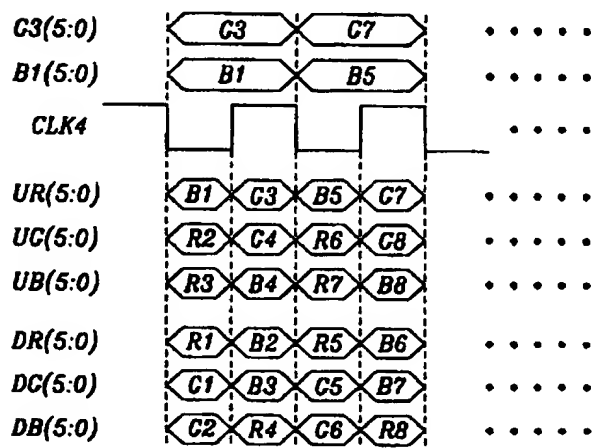
도면 12



도면 13



도면 14



도면 15

